

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

PAT-NO: JP363269376A

DOCUMENT-IDENTIFIER: JP 63269376 A

TITLE: CONTROL CIRCUIT FOR RECORDING CARRIER FORMED  
INTO  
INTEGRATED CIRCUIT

PUBN-DATE: November 7, 1988

INVENTOR-INFORMATION:

NAME

OGATA, TAKASHI

ASSIGNEE-INFORMATION:

NAME

COUNTRY

MITSUBISHI ELECTRIC CORP

N/A

APPL-NO: JP62104982

APPL-DATE: April 27, 1987

INT-CL (IPC): G11B019/00, G11B025/04, H01L027/04, H01L027/06, H02H007/20

US-CL-CURRENT: 369/261

ABSTRACT:

PURPOSE: To suppress a defective mode to the best and to prevent an IC from being damaged due to heat, by protecting the operation of a chip at an abnormal high temperature by cutting off a common bias source when a high temperature is applied on the chip.

CONSTITUTION: A Zener diode Q12(Vz) biased by a constant current I0 and a diode Q13(Vd) for temperature compensation generate a reference voltage for setting a chip detecting temperature. The reference voltage (Vz+Vd), after

being resistor-divided by resistors R5 and R6, is applied on between the base and the emitter of a transistor Q11. Generally, the voltage is set at an operating threshold value at the high temperature between the base and the emitter of the transistor Q11. And when abnormality is generated and a temperature reaches a detecting chip temperature, the transistor Q11 is energized, and the bias current of a start up resistor R1 is bypassed by the transistor Q11, and all of the constant current sources of transistors Q1~Q9 and a constant current sync source are cut off, and the operation of an FD (floppy disk drive) control circuit stops. In such a way, it is possible to prevent the IC from being damaged due to thermal runaway by the abnormal rise of the temperature of the chip.

COPYRIGHT: (C)1988,JPO&Japio

## ⑫ 公開特許公報(A)

昭63-269376

⑤ Int. Cl.

識別記号

庁内整理番号

⑬ 公開 昭和63年(1988)11月7日

G 11 B 19/00

1 0 1

B-7627-5D

25/04

Z-7627-5D

H 01 L 27/04

1 0 1

H-7514-5F

27/06

P-7373-5F

H 02 H 7/20

F-6846-5G

審査請求 未請求 発明の数 1 (全4頁)

⑭ 発明の名称 集積回路化記録担体制御回路

⑯ 特 願 昭62-104982

⑰ 出 願 昭62(1987)4月27日

⑱ 発 明 者 尾 形 孝 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社北伊丹製作所内

⑲ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

⑳ 代 理 人 弁理士 早瀬 憲一

## 明 細 書

## 1. 発明の名称

集積回路化記録担体制御回路

## 2. 特許請求の範囲

(1) 磁気ヘッド信号の読み取り、書き込み信号を処理する信号処理回路、及び磁気ヘッドの機構部を制御する機構コントロール回路を同一チップ上に集積化してなる記録担体の制御回路において、

上記信号処理回路及び機構コントロール回路に供給するバイアス電流を、読み取り又は書き込み動作の非動作モード時に非導通とするパワーセーブ回路と、

チップ温度を検出し、この検出チップ温度が設定チップ温度よりも上昇した場合に上記バイアス電流を非導通とする熱遮断回路とを備えたことを特徴とする集積回路化記録担体制御回路。

## 3. 発明の詳細な説明

(産業上の利用分野)

本発明は、例えば集積回路(IC)化フロッピーディスク用制御回路等の記録担体制御回路に関

し、特にその熱保護回路に関するものである。

(従来の技術)

第3図に従来の記録担体制御回路として、フロッピーディスク制御回路のブロック図を示す。図において、1はディスク制御回路にバイアスを与えるバイアス回路、2、4はそれぞれ信号処理回路を構成するリード回路、フィルタ回路、3はライト回路、5はメカコントロール回路、6は出力回路であり、この出力回路6はフロッピーディスク制御回路(FDC)部に接続されるインターフェイス部及び表示回路等に接続される。これらの各回路2～6の回路バイアスはバイアス回路1より供給される。

第4図に従来のバイアス回路1の例を示す。図において、R1は起動抵抗、Q1は基準電圧設定用のトランジスタであり、このトランジスタQ1のベース-エミッタ間に供給定電流源のバイアス電流を決定する抵抗R2が接続されている。Q2はベース接地されたバッファ用トランジスタ、Q3～Q6は共通ベース接続され、またエミッタも

電源  $V_{cc}$  に共通に接続された電流ソース型定電流源であり、トランジスタ  $Q_2$  のコレクタと  $pnp$  トランジスタ  $Q_3$  のベース、コレクタとが接続されている。 $Q_7 \sim Q_9$  は電流シンク型電流源であり、これらの共通ベースとトランジスタ  $Q_4$  のコレクタが接続され、またトランジスタ  $Q_7 \sim Q_9$  のエミッタは通常、 $GND$  に共通接続されている。

次に動作について説明する。

バイアス回路 1 で生成されたバイアス電流は、リード回路 2、ライト回路 3、フィルタ回路 4 等の信号処理回路系、及びメカコントロール回路 5 出力回路 6 に供給される。フロッピーディスクの磁気ヘッドは、リード回路 2 に接続されており、リード回路 2 によりパルス信号として読み取られる。この信号はタイムドメインフィルタ回路等の信号処理回路に加えられ、所定のパルス信号に変換される。一方、メカコントロール回路 5 はヘッド送り機構制御のためのステッピングモータ制御、インデックスの検出制御回路、ヘッドのダンパ制御等のフロッピーディスクドライブ (FDD) の

メカコントロールを行う。

(発明が解決しようとする問題点)

このような従来の装置では、外来ノイズ、サージ電圧又は動作異常等により IC チップが過大に温度上昇した場合、保護機能がなく、IC の動作状態をチップ高温状態でも続けるため、IC 外装用のモールド等樹脂が発熱し、IC の破壊又は IC 焼損等の事故にいたる等の問題があった。

この発明は、上記のような問題点を解消するためになされたもので、チップ温度が異常に上昇して熱暴走し、IC が破壊されるのを防止することができる集積回路化記録担体制御回路を得ることを目的とする。

(問題点を解決するための手段)

本発明に係る集積回路化記録担体制御回路は、リード/ライト回路、メカコントロール回路等の同一チップ上に集積化された制御回路のバイアス供給源を共通制御できるように集中化し、通常動作時でも動作モードにより不必要な場合には共通バイアスをカットオフするようにして低消費電力

化を図るパワーセーブ機能を設けると同時に、共通バイアス源にチップ温度モニタ回路を付加し、チップ高温時に共通バイアス源をカットオフしてチップの異常高温時の動作保護を行うようにしたものである。

(作用)

本発明においては、通常動作では到達しえないチップ温度にチップ検出温度を設定し、動作異常によるチップ温度上昇時のみに熱検知回路を動作させ、通常使用しているパワーセーブ機能と同様の制御により、共通バイアス源を非導通にすることにより熱保護を行う。

(実施例)

以下、本発明の実施例を図について説明する。第 1 図は本発明の機能ブロック図を示したもので、第 3 図と同一符号は同一部分を示している。この発明においては、バイアス回路 1 にパワーセーブ回路 7 及び熱遮断回路 8 が接続されており、これによりバイアスコントロールされている。

第 2 図に本発明の実施例回路を示し、ここでは

従来例と同様にフロッピーディスク制御回路を例にとって説明する。抵抗  $R_1$ 、 $R_2$ 、トランジスタ  $Q_1 \sim Q_9$  の接続は第 4 図の従来例と同様である。上記第 1 図に示したパワーセーブ回路 7 は、抵抗  $R_3$ 、 $R_4$  及びトランジスタ  $Q_{10}$  により構成され、トランジスタ  $Q_{10}$  のコレクタは、バイアス源の起動抵抗  $R_1$  及びトランジスタ  $Q_1$  のコレクタと  $Q_2$  のベースの接続点に接続されている。また抵抗  $R_3$  の高電位側 (X 点) には、パワーセーブコントロール信号が印加される。上記第 1 図の熱遮断回路 8 は、定電流源  $I_0$ 、ツェナーダイオード  $Q_{12}$ 、温度補償用ダイオード  $Q_{13}$ 、トランジスタ  $Q_{11}$ 、及び抵抗  $R_5$ 、 $R_6$  により構成されている。ツェナーダイオード及び温度補償用ダイオード  $Q_{12}$ 、 $Q_{13}$  は直列接続され、 $Q_{12}$  のアノード側に抵抗  $R_5$ 、 $R_6$  が接続されている。この抵抗  $R_5$ 、 $R_6$  の分割点に制御トランジスタ  $Q_{11}$  のベースが接続され、トランジスタ  $Q_{11}$  のコレクタはバイアス制御点 ( $Q_1$  のコレクタ) に接続されている。

次に動作について説明する。

まずパワーセーブ機能について説明すると、パワーセーブを行う場合には、X点(第2図参照)にパワーセーブ信号(ハイ電位)が印加される。これによりトランジスタQ10のベース、エミッタ間が順バイアスに印加され、該トランジスタQ10が導通状態となり、そのコレクタ電位はロー状態となる。従って、通常動作時においてトランジスタQ1のエミッタ、コレクタ間及びトランジスタQ2のベースに流入していた起動抵抗R1を流れる電流は、トランジスタQ10のコレクタに流れることとなり、トランジスタQ1、Q2ひいてはQ3～Q9が全て非導通となり、FDD回路に供給されるバイアス電流はカットオフされる。

次に熱遮断回路について説明する。定電流I0によりバイアスされたツェナーダイオードQ12(Vz)と温度補償用ダイオードQ13(Vd)は、チップ検出温度設定用の基準電圧を生成する。この基準電圧(Vz+Vd)は抵抗R5、R6により抵抗分割された後、トランジスタQ11のベ

ース、エミッタ間に印加される。通常この電圧は、トランジスタQ11のベース、エミッタ間の高温(検出チップ温度)での動作しきい値に設定される。トランジスタQ11のベース、エミッタ間の動作しきい値は、通常負の温度係数を持つため、動作異常時よりもチップ温度の低い通常状態では、トランジスタQ11のベース、エミッタ間バイアスがしきい値よりも低く設定されているため、トランジスタQ11は動作しない。しかし異常時、検出チップ温度に到達したときにトランジスタQ11は導通となり、起動抵抗R1のバイアス電流を、トランジスタQ11によりバイパスし、これにより、トランジスタQ1～Q9の定電流ソース及び定電流シンク源は全てカットオフとなり、FDD制御回路の動作は停止する。

なお、上記実施例ではフロッピーディスク制御回路での例を実施例として説明したが、本発明のパワーセーブ機能と熱遮断機能については、広くパワーセーブによるハードディスク等の低消費電力化機器の保護回路として応用可能である。

#### (発明の効果)

以上のように、この発明によれば、フロッピーディスク制御装置等において、通常動作時でも動作モードによりバイアス電流が不必要な場合には共通バイアスをカットオフするパワーセーブ回路を設けると同時に、共通バイアス源にチップ温度モニタ回路を付加し、チップ高温時に共通バイアス源をカットオフしてチップの異常高温時の動作保護を行うようにしたので、ICの樹脂表面が高温になって焼損する等の不良モードを極力抑えることができるとともに、熱破壊によるICの破壊を防止できる効果がある。

#### 4. 図面の簡単な説明

第1図は本発明の機能ブロック図、第2図は本発明の一実施例による回路図、第3図は従来装置のブロック図、第4図はその具体的構成例を示す図である。

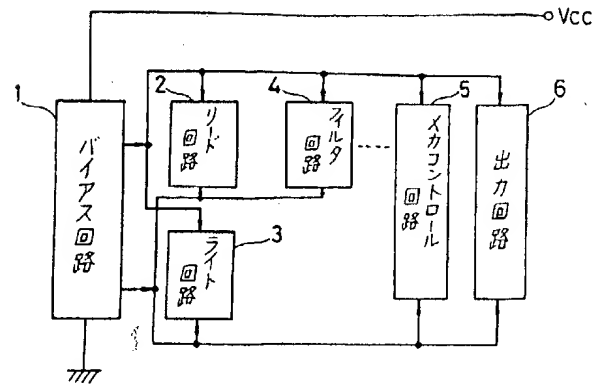
1…バイアス回路、7…パワーセーブ回路、8…熱遮断回路、Q1～Q11…トランジスタ、Q12…ツェナーダイオード、Q13…温度補償用

ダイオード、R1～R5…抵抗。

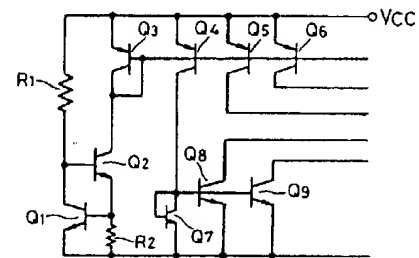
なお図中同一符号は同一又は相当部分を示す。

代理人 早 瀬 憲 一

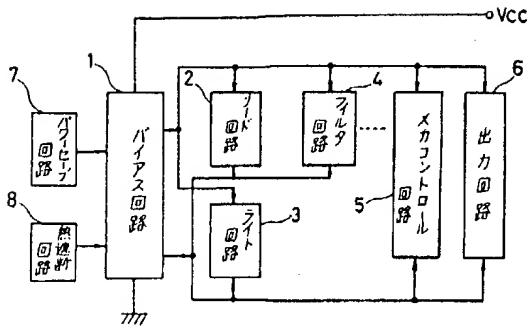
第 3 図



第 4 図



第 1 図



第 2 図

